

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0021

Applicant: Byung II KWAK et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: TRANSISTOR OF SEMICONDUCTOR DEVICE, AND METHOD FOR  
MANUFACTURING THE SAME

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2002-0077492 filed December 6, 2002**

Respectfully submitted,

Date: June 30, 2003

HELLER EHRLMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By Johnny A. Kumar  
Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



26633

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0077492  
Application Number

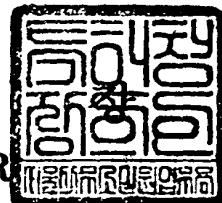
출원년월일 : 2002년 12월 06일  
Date of Application

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003년 05월 22일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.12.06
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 트랜지스터 및 그 형성방법
【발명의 영문명칭】	A transistor of a semiconductor device and a method for forming the same
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	곽병일
【성명의 영문표기】	KWAK,Byung Il
【주민등록번호】	730420-1041531
【우편번호】	134-011
【주소】	서울특별시 강동구 길1동 233-3
【국적】	KR
【발명자】	
【성명의 국문표기】	안경준
【성명의 영문표기】	AWN,Kyung Jun
【주민등록번호】	690430-1914611
【우편번호】	467-866

【주소】 경기도 이천시 부발읍 아미리 산 136-1 현대전자사원임대  
아파트 107- 504

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
이후동 (인) 대리인  
이정훈 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 26 항 941,000 원

【합계】 982,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 트랜지스터 및 그 형성방법에 관한 것으로, 특히 기판 상에 에피택셜 방법으로 SiGe 층과 Si 층을 적층하고 게이트전극 영역의 적층구조를 식각하고 식각면이 노출된 에피택셜 SiGe 층을 제거한 다음, 상기 에피택셜 SiGe 층이 제거된 부분을 매립하는 절연막을 형성하고 상기 게이트전극 영역의 반도체기판 상부에 에피택셜 Si 층을 성장시켜 채널을 형성한 다음, 그 상부에 게이트절연막 및 게이트전극을 형성하고 상기 적층구조의 에피택셜 Si 층을 소오스/드레인 전극으로 하는 트랜지스터를 형성함으로써 접합누설전류의 유발을 원천적으로 방지하고 접합 공핍에 의한 캐패시턴스를 제거할 수 있도록 하여 소자의 특성, 신뢰성을 향상시키고 그에 따른 고집적화를 가능하게 하는 기술이다.

**【대표도】**

도 2f

## 【명세서】

## 【발명의 명칭】

반도체소자의 트랜지스터 및 그 형성방법{A transistor of a semiconductor device and a method for forming the same}

## 【도면의 간단한 설명】

도 1 은 한 필드에 형성되는 활성영역과 게이트 영역을 도시한 레이아웃도.

도 2a 내지 도 2f 는 본 발명의 제1실시예에 따른 반도체소자의 트랜지스터 형성 방법을 도시한 단면도.

도 3a 내지 도 3i 은 본 발명의 제2실시예에 따른 반도체소자의 트랜지스터 형성 방법을 도시한 단면도.

## &lt;도면의 주요부분에 대한 부호 설명&gt;

11,41 : 반도체기판 13,43 : 에피택셜 SiGe 층

15,45 : 에피택셜 Si 층 17,47 : 소자분리막

19,53 : 열산화막 21 : 희생산화막

22,57 : 게이트전극 영역 23,59 : 흄

25,61 : 산화막 27,63 : 채널

29,65 : 게이트산화막 31,67 : 게이트전극용 도전층

33 : 하드마스크층 35,51 : 절연막 스페이서

49 : 더미 폴리실리콘층 55 : 층간절연막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 반도체 소자의 트랜지스터 및 그 형성방법에 관한 것으로, 특히 반도체 소자의 고집적화에 따라 증가되는 불순물 농도로 인해 유발되는 소자의 특성 열화를 방지하여 소자의 고속화 및 고집적화가 가능한 메모리 소자에 관한 것이다.

<14> 반도체소자의 집적도가 증가함에 따라 DRAM 의 경우 집적도가 증가함에도 불구하고 DRAM 리프레쉬 시간은 고속화 저전력 때문에 세대마다 거의 2 배씩 증가해 왔다.

<15> 메모리 밀도가 계속적으로 증가함에 따라 기판의 불순물 농도의 증가는 솟채널효과, 문턱전압 및 누설전류를 최소화하기 위하여 증가해야 하는데, 이는 접합 전기력을 증가시키는 효과를 가져오게 되어 솟채널효과와 누설전류를 더욱 증가시키게 된다.

<16> 또한, 불순물 농도의 증가는 접합 캐패시턴스의 증가를 야기시켜 소자의 고속화를 어렵게 한다.

<17> 상기한 바와 같이 종래기술에 따른 반도체소자의 트랜지스터 및 그 형성방법은, 기판에 주입되는 기판의 불순물 농도 증가에 따라 소자의 특성이 열화되어 반도체소자의 고집적화 및 고속화를 어렵게 하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<18> 본 발명은 이러한 종래기술의 문제점을 해결하기 위하여, 소오스/드레인 접합영역에서의 접합누설전류 및 접합 공핍에 의한 캐패시터가 제거되어 소자의 고집적화 및 고

속화를 가능하게 하는 반도체소자의 트랜지스터 및 그 형성방법을 제공하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

- <19> 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 트랜지스터는,
- <20> 반도체기판의 활성영역에 구비되는 절연막과,
- <21> 상기 절연막 상에 단결정 도전층으로 구비되는 소오스/드레인 접합영역과,
- <22> 상기 활성영역의 게이트전극 영역에 상기 절연막 및 소오스/스레인 접합영역의 적층구조와 같은 높이로 구비되는 채널용 단결정 도전층과,
- <23> 상기 채널용 단결정 도전층 상부에 구비되는 게이트절연막 및 게이트전극 적층구조가 구비되되, 상기 소오스/드레인 접합영역에 양측 끝부분이 중첩되는 것과,
- <24> 상기 절연막은 산화막이나 질화막인 것과,
- <25> 상기 적층구조의 절연막과 소오스/드레인 접합영역용 단결정 도전층은 각각 50 ~ 1000 Å 두께로 구비되는 것과,
- <26> 상기 적층구조는 상기 소자분리막과 평탄화되어 구비되는 것과,
- <27> 상기 소오스/드레인 접합영역용 단결정 도전층과 채널용 단결정 도전층은 에피택셜 Si 층으로 구비되는 것과,
- <28> 상기 채널은 상기 적층구조와 같은 두께로 평탄화되어 구비되는 것을 특징으로 한다.
- <29> 또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 트랜지스터 형성 방법은,

<30> 반도체기판 상에 제1단결정 도전층과 제2단결정 도전층의 적층구조를 형성하는 공정과,

<31> 상기 반도체기판에 활성영역을 정의하는 트렌치형 소자분리막을 형성하되, 상기 적층구조와 같은 높이로 형성하는 공정과,

<32> 상기 소자분리막을 마스크로 하여 제2단결정 도전층에 임플란트하고 전체표면상부에 열산화막과 희생막을 적층하는 공정과,

<33> 게이트전극마스크를 이용한 사진식각공정으로 상기 희생막, 열산화막, 제2,1 단결정 도전층을 식각하여 게이트전극 영역의 기판을 노출시키는 공정과,

<34> 상기 게이트전극 영역에 노출된 상기 제1단결정 도전층을 제거하여 상기 제2 단결정 도전층 하부로 홈을 형성하는 공정과,

<35> 상기 홈을 매립하는 절연막을 형성하는 공정과,

<36> 상기 게이트전극 영역의 기판 상에 제3 단결정 도전층을 성장시키고 상기 희생막 및 열산화막을 제거하는 공정과,

<37> 상기 제3 단결정 도전층에 임플란트하여 채널을 형성하는 공정과,

<38> 상기 채널 상부에 게이트전극을 패터닝하는 공정을 포함하는 것과,

<39> 상기 제1 단결정 도전층은  $GeH_4$ ,  $SiH_4$  및  $SiH_2Cl_2$  중 하나 이상,  $HCl$  및  $H_2$ 의 혼합가스 분위기에서 에피택셜 정장된  $50 \sim 1000 \text{ \AA}$  두께의 에피택셜  $SiGe$  층인 것과,

<40> 상기 제2,3 단결정 도전층은 각각  $SiH_4$  및  $SiH_2Cl_2$  중 하나 이상,  $HCl$  및  $H_2$ 의 혼합가스 분위기에서 에피택셜 성장된 각각  $50 \sim 1000 \text{ \AA}$  과  $100 \sim 2000 \text{ \AA}$  두께의 에피택셜  $Si$  층인 것과,

<41> 상기 임플란트 공정은 불순물을 As 로 사용하는 경우  $1.0E12 \sim 5.0E13 / \text{cm}^2$  불순물 농도로  $10 \sim 100 \text{ KeV}$  의 에너지를 이용하여 실시한 것과,

<42> 상기 열산화막은  $10 \sim 200 \text{ \AA}$  두께로 형성하는 것과,

<43> 상기 희생막은 산화막, 질화막 및 폴리실리콘 중에서 임의의 한가지를 이용하는 것과,

<44> 상기 제1 단결정 도전층의 제거공정은  $\text{H}_2\text{O}$ ,  $\text{H}_2\text{O}_2$ ,  $\text{NH}_4\text{OH}$  이 혼합된  $70 \sim 80 \text{ }^\circ\text{C}$  의 용액을 이용한 습식방법으로 실시하는 것과,

<45> 상기 제1 단결정 도전층의 제거공정은  $\text{HBr}$ ,  $\text{O}_2$  및  $\text{Cl}_2$  의 혼합가스를 이용한 플라즈마 식각공정으로 등방성 건식식각하되,

<46> 상기 플라즈마 식각공정은 마이크로웨이브 ( microwave method ) 를 이용하는 실시하는 하거나  $\text{SF}_6$  를 첨가하여 실시하는 것과,

<47> 상기 절연막은 산화막이나 질화막으로 형성되되,

<48> 상기 산화막은  $\text{SiH}_4$  와  $\text{N}_2\text{O}$  를 이용하여  $50 \text{ Torr}$  이하의 압력과  $50 \sim 800 \text{ }^\circ\text{C}$  온도에서 CVD 방법으로 형성하고,

<49> 상기 산화막은  $700 \sim 1100 \text{ }^\circ\text{C}$  온도에서 건식 또는 습식방법으로 열산화시켜 형성하는 것과,

<50> 상기 절연막은 ALD ( atomic layer deposition ) 방법으로 형성하는 것을 제1특징으로 한다.

<51> 또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 트랜지스터 형성 방법은,

<52> 반도체기판 상에 제1 단결정 도전층과 제2 단결정 도전층의 적층구조를 형성하는 공정과,

<53> 소자분리마스크를 이용한 사진식각공정으로 활성영역을 정의하는 트렌치형 소자분리막을 형성하는 공정과,

<54> 상기 제2 단결정 도전층 상의 게이트전극 영역에 희생막을 패터닝하는 공정과,

<55> 상기 희생막을 마스크로 하여 상기 제2단결정 도전층에 임플란트하는 공정과,

<56> 상기 희생막 측벽에 절연막 스페이서를 형성하고 전체표면상부에 열산화막을 형성하는 공정과,

<57> 상기 희생막을 노출시키는 평탄화된 층간절연막을 형성하는 공정과,

<58> 상기 층간절연막 및 절연막 스페이서를 마스크로 하여 상기 희생막, 제2 단결정 도전층 및 제1 단결정 도전층을 식각하는 공정과,

<59> 상기 게이트전극 영역에 노출된 제1 단결정 도전층을 제거하여 상기 제2 단결정 도전층 하부로 홈을 형성하는 공정과,

<60> 상기 홈을 매립하는 절연막을 형성하는 공정과,

<61> 상기 게이트전극 영역의 제3 단결정 도전층을 성장시키고 임플란트하여 채널을 형성하는 공정과,

<62> 상기 채널 상에 게이트산화막 및 게이트전극을 형성하는 공정을 포함하는 것과,

<63> 상기 제1 단결정 도전층은  $GeH_4$ ,  $SiH_4$  및  $SiH_2Cl_2$  중 하나 이상,  $HCl$  및  $H_2$ 의 혼합가스 분위기에서 에피택셜 정장된 50 ~ 1000 Å 두께의 에피택셜  $SiGe$  층인 것과,

<64> 상기 임플란트 공정은 불순물을 As 로 사용하는 경우  $1.0E12 \sim 5.0E13 / \text{cm}^2$  불순물 농도로  $10 \sim 100 \text{ KeV}$  의 에너지를 이용하여 실시한 것과,

<65> 상기 희생막은  $500 \sim 3000 \text{ \AA}$  높이의 폴리실리콘으로 형성하는 것과,

<66> 상기 제1 단결정 도전층의 제거 공정은 습식방법이나 등방성 건식 방법으로 실시하는 것과,

<67> 상기 절연막은 열산화방법, CVD 또는 ALD 중에서 선택된 한가지로 형성된 산화막이나 질화막인 것을 제2특징으로 한다.

<68> 한편, 본 발명의 원리는 다음과 같다.

<69> 반도체기판 상에 에피택셜 방법으로 SiGe 층과 Si 층의 적층구조를 형성하고 게이트전극 영역의 적층구조를 식각한 다음, 상기 적층구조의 식각된 에피택셜 SiGe 층을 제거하고 상기 에피택셜 SiGe 층의 제거된 부분을 매립하는 절연막을 증착한 다음, 식각된 부분에 에피택셜 Si 층인 단결정을 성장시켜 채널로 형성하고 그 상부에 게이트전극을 형성하는 공정으로,

<70> 상기 적층구조의 에피택셜 Si 층인 단결정 도전층으로 소오스/드레인 접합영역을 형성하며 상기 게이트전극 영역에 성장된 에피택셜 Si 층인 단결정 도전층으로 채널을 형성하고, 상기 소오스/드레인 접합영역과 반도체기판 사이에 절연막을 구비하는 트랜지스터를 형성함으로써

<71> 접합누설전류의 유발을 원천적으로 방지하며 접합 공핍에 의한 캐패시턴스를 제거 할 수 있도록 하는 것이다.

<72> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하면 다음과 같다.

<73> 도 1 은 반도체기판(100) 상에 활성영역(200)과 게이트전극 영역(300)을 도시한 것이다.

<74> 도 2a 내지 도 2f 는 본 발명의 제1실시예에 따른 반도체소자의 트랜지스터 형성방법을 도시한 단면도로서, 도 1 의 ①-④ 절단면을 따라 도시한 것이다.

<75> 도 2a를 참조하면, 실리콘으로 형성된 반도체기판(11) 상부에 에피택셜 SiGe 층(13) 및 에피택셜 Si 층(15)을 순차적으로 형성한다.

<76> 이때, 상기 에피택셜 SiGe 층(13)과 에피택셜 Si 층(15)은 각각 50 ~ 1000 Å의 두께로 형성한다.

<77> 그 다음, 전체표면상부에 패드산화막(도시안됨) 및 질화막(도시안됨)을 적층한다.

<78> 소자분리마스크(도시안됨)를 마스크로 하는 사진식각공정으로 상기 질화막, 산화막, 에피택셜 Si 층(15), 에피택셜 SiGe 층(13) 및 일정깊이의 반도체기판(11)을 식각하여 트렌치를 형성한 다음, 이를 매립하는 소자분리막(17)을 형성하여 활성영역을 정의한다. 이때, 상기 에피택셜 Si 층(15)은 SiH<sub>4</sub> ( 또는 SiH<sub>2</sub>Cl<sub>2</sub> ), HCl, H<sub>2</sub> 가스의 조합을 이용하여 50 ~ 1000 Å 두께만큼 형성한다. 상기 에피택셜 SiGe 층(13)은 GeH<sub>4</sub>, SiH<sub>4</sub> ( 또는 SiH<sub>2</sub>Cl<sub>2</sub> ), HCl, H<sub>2</sub> 가스의 조합을 이용하여 50 ~ 1000 Å 두께만큼 형성한다.

<79> 상기 소자분리막(17)을 마스크로 하여 상기 에피택셜 Si 층(15)에 임플란트 공정을 실시한다.

<80> 이때, 상기 임플란트 공정은 불순물을 As 로 사용하는 경우 1.0E12 ~ 5.0E13 /cm<sup>2</sup> 불순물 농도로 10 ~ 100 KeV 의 에너지를 이용하여 실시한 것이다. 상기 불순물은 다른 불순물을 이용할 수도 있다.

<81> 그 다음, 전체표면상부에 열산화막(19)을 10 ~ 200 Å 두께로 형성하고 그 상부에 희생산화막(21)을 형성한다.

<82> 이때, 상기 희생산화막(21)은 마스크 역할을 할 수 있도록 500 ~ 3000 Å 두께의 산화막, 질화막 또는 폴리실리콘으로 형성한다.

<83> 도 2b를 참조하면, 상기 도 1 의 게이트전극 영역(300)을 패터닝할 수 있는 노광마스크를 이용한 사진식각공정으로 상기 희생산화막(21), 열산화막(19), 에피택셜 Si 층(15) 및 에피택셜 SiGe 층(13)을 순차적으로 식각하여 게이트전극 영역(300)의 상기 반도체기판(11)을 노출시키는 게이트전극 영역(22)을 형성한다.

<84> 도 2c를 참조하면, 상기 게이트전극 영역(22)의 저부 측벽에 식각면이 노출된 에피택셜 SiGe 층(13)을 제거하여 상기 에피택셜 Si 층(15) 하부로 흠(23)을 형성한다.

<85> 이때, 상기 에피택셜 SiGe 층(13)의 제거 공정은 주변층과의 식각선택비 차이를 이용한 습식식각공정이나 등방성 건식식각공정으로 실시한다.

<86> 상기 습식식각공정은  $H_2O : H_2O_2 : NH_4OH$  를 5 : 1 : 1 의 비율을 갖는 70 ~ 80 °C 의 용액을 이용하여 실시한다.

<87> 상기 등방성 건식식각공정은은 HBr,  $O_2$ ,  $Cl_2$  를 이용한 플라즈마 식각공정으로 실시하되, 등방성 식각 특성을 높이기 위해서 마이크로웨이브 ( microwave method ) 를 이용하는 실시할 수도 있다. 또한, 상기 플라즈마 식각공정은  $SF_6$  를 첨가하여 실시할 수도 있다.

<88> 도 2d를 참조하면, 상기 흠(23)을 매립하는 산화막(25)을 전체표면상부에 형성한다. 여기서, 상기 산화막(25)은 질화막으로 형성할 수도 있다.

<89> 이때, 상기 산화막(25)은 열산화방법, CVD ( chemical vapor deposition ) 또는 ALD ( atomic layer deposition )로 형성한 것이다.

<90> 상기 CVD 방법은, SiH<sub>4</sub> 와 N<sub>2</sub>O 를 이용하여 50 Torr 이하의 압력과 50 ~ 800 °C 온도에서 실시한다.

<91> 상기 열산화막 방법은 건식이나 습식방법으로 700 ~ 1100 °C 온도에서 실시한다.

<92> 도 2e를 참조하면, 상기 산화막(25)을 습식식각하되, 상기 게이트전극 영역(300)의 산화막(25)을 식각할 수 있도록 타겟을 정하여 실시함으로써 상기 흄(23) 내에만 상기 산화막(25)을 남긴다.

<93> 상기 습식식각공정은 HF 계 식각용액을 이용하여 실시한다.

<94> 도 2f를 참조하면, 상기 게이트전극 영역(300)의 반도체기판(11) 상에 에피택셜 Si 층을 성장시킨다.

<95> 이때, 상기 에피택셜 Si 층은 SiH<sub>4</sub> ( 또는 SiH<sub>2</sub>Cl<sub>2</sub> ), HCl, H<sub>2</sub> 가스의 조합을 이용하여 100 ~ 2000 Å 두께만큼 형성한다.

<96> 그 다음, 상기 희생산화막(21) 및 열산화막(19)을 습식방법으로 제거한다. 이때, 상기 습식방법은 타층과의 식각선택비 차이를 이용하여 실시한 것이다.

<97> 그 다음, 채널 임플란트 공정 및 편치스톱 임플란트 공정을 실시하여 상기 에피택셜 Si 층으로 채널(27)을 형성한다.

<98> 그리고, 후속 공정으로 게이트산화막(29), 게이트전극용 도전층(31) 및 하드마스크 층(33)을 순차적으로 적층하고 게이트전극 마스크를 이용한 사진식각공정으로 패터닝하

여 게이트전극을 형성한다. 여기서, 상기 게이트전극용 도전층(31)은 모든 도전체로 형성할 수 있으며, 상기 하드마스크층(33)은 질화막이나 산화막으로 형성할 수 있다.

<99> 그리고, 상기 게이트전극 측벽에 절연막 스페이서(35)를 형성한다.

<100> 이때, 상기 절연막 스페이서(35)는 질화막이나 산화막으로 형성한다.

<101> 여기서, 상기 도 2f 의 공정은 채널(27)을 먼저 형성하고 상기 희생산화막(21) 및 열산화막(19)을 제거한 다음, 후속공정을 트랜지스터를 형성할 수도 있다.

<102> 도 3a 내지 도 3i 는 본 발명의 제2실시예에 따른 반도체소자의 트랜지스터 형성방법을 도시한 단면도로서, 도 1 의 ①-④ 절단면을 따라 도시한 것이다.

<103> 도 3a를 참조하면, 반도체기판(41) 상부에 에피택셜 SiGe 층(43) 및 에피택셜 Si 층(45)을 순차적으로 형성한다.

<104> 상기 에피택셜 SiGe 층(43)은 GeH<sub>4</sub>, SiH<sub>4</sub> ( 또는 SiH<sub>2</sub>Cl<sub>2</sub> ), HCl, H<sub>2</sub> 가스의 조합을 이용하여 50 ~ 1000 Å 두께만큼 형성한다. 상기 에피택셜 Si 층(45)은 SiH<sub>4</sub> ( 또는 SiH<sub>2</sub>Cl<sub>2</sub> ), HCl, H<sub>2</sub> 가스의 조합을 이용하여 50 ~ 1000 Å 두께만큼 형성한다.

<105> 그 다음, 전체표면상부에 패드산화막(도시안됨) 및 질화막(도시안됨)을 적층구조를 형성한다.

<106> 소자분리마스크(도시안됨)를 이용한 사진식각공정으로 상기 적층구조, 에피택셜 Si 층(45), 에피택셜 SiGe 층(43) 및 일정깊이의 반도체기판(41)을 식각하여 트렌치를 형성한 다음, 이를 매립하는 소자분리막(47)을 형성하여 활성영역을 정의한다.

<107> 그 다음, 전체표면상부에 더미 폴리실리콘층(49)을 형성한다.

<108> 이때, 상기 더미 폴리실리콘층(49)은 게이트전극의 예정된 높이 만큼인 500 ~ 3000 Å 두께로 형성하되, 산화막이나 질화막으로 형성할 수도 있다.

<109> 도 3b를 참조하면, 상기 도 1 의 게이트전극 마스크(도시안됨)를 이용한 사진식각 공정으로 상기 더미 폴리실리콘층(49)을 식각하여 게이트전극 영역(300)에만 더미 폴리 실리콘층(49)을 남긴다.

<110> 상기 더미 폴리실리콘층(49)을 마스크로 하여 상기 에피택셜 Si 층(45)에 임플란트 공정을 실시한다.

<111> 이때, 상기 임플란트 공정은 불순물을 As로 사용하는 경우  $1.0E12 \sim 5.0E13 / \text{cm}^2$  불순물 농도로 10 ~ 100 KeV의 에너지를 이용하여 실시한 것이다. 상기 불순물은 다른 불순물을 이용할 수도 있다.

<112> 여기서, 상기 임플란트 공정은 상기 도 3a의 더미 폴리실리콘층(49) 증착공정 전에 상기 소자분리막(47)을 마스크로 하여 실시할 수도 있다.

<113> 도 3c를 참조하면, 상기 더미 폴리실리콘층(49) 측벽에 절연막 스페이서(51)를 형성한다. 이때, 상기 절연막 스페이서(51)는 질화막이나 산화막으로 형성한다.

<114> 그리고, 전체표면상부에 열산화막(53)을 형성한다.

<115> 도 3d를 참조하면, 전체표면상부에 층간절연막(55)을 형성하고 이를 평탄화식각하여 상기 더미 폴리실리콘층(49)을 노출시킨다.

<116> 이때, 상기 평탄화식각공정은 CMP 공정으로 실시한다.

<117> 도 3e를 참조하면, 상기 노출된 더미 폴리실리콘층(49)을 제거하고, 상기 층간절연막(55) 및 절연막 스페이서(51)를 마스크로 하여 상기 에피택셜 Si 층(45) 및 에피택셜

SiGe 층(43)을 식각함으로써 상기 반도체기판(57)을 노출시키는 게이트전극 영역(57)을 형성한다.

<118>      도 3f를 참조하면, 상기 게이트전극 영역(57)의 저부 측벽에 노출된 에피택셜 SiGe 층(43)을 제거하여 상기 에피택셜 Si 층(45)의 하부로 흠(59)을 형성한다.

<119>      이때, 상기 에피택셜 SiGe 층(43)의 제거 공정은 주변층과의 식각선택비 차이를 이용한 습식식각공정이나 등방성 건식식각공정으로 실시한 것이다.

<120>      상기 습식식각공정은  $H_2O : H_2O_2 : NH_4OH$  를 5 : 1 : 1 의 비율을 갖는 70 ~ 80 °C 의 용액을 이용하여 실시한다. ( ref. F.S.Johnson et al. journal of electronic materials, vol21, p.805-810, 1992 ),

<121>      상기 등방성 건식식각공정은 은 HBr,  $O_2$ ,  $Cl_2$  를 이용한 플라즈마 식각공정으로 실시하되, 등방성 식각 특성을 높이기 위해서 마이크로웨이브 ( microwave method ) 를 이용하는 실시할 수도 있다. 또한, 상기 플라즈마 식각공정은  $SF_6$  를 첨가하여 실시할 수도 있다.

<122>      도 3g를 참조하면, 상기 흠(59)을 매립하는 산화막(61)을 전체표면상부에 형성한다. 여기서, 상기 산화막(61)은 질화막으로 형성할 수도 있다.

<123>      이때, 상기 산화막(61)은 열산화방법, CVD ( chemical vapor deposition ) 또는 ALD ( atomic layer deposition ) 로 형성한 것이다.

<124>      상기 CVD 방법은,  $SiH_4$  와  $N_2O$  를 이용하여 50 Torr 이하의 압력과 50 ~ 800 °C 온도에서 실시하는 것이다.

<125> 상기 열산화막 방법은 건식이나 습식방법으로 700 ~ 1100 °C 온도에서 실시하는 것이다.

<126> 도 3h를 참조하면, 상기 산화막(61)을 습식식각하되, 상기 게이트전극 영역(300)의 산화막(61)만을 식각할 수 있도록 타겟을 정하여 실시함으로써 상기 흄(59) 내에만 상기 산화막(61)을 남긴다.

<127> 이때, 상기 습식식각공정은 HF 계열의 식각용액을 이용하여 실시한다.

<128> 도 3i를 참조하면, 상기 게이트전극 영역(300)의 반도체기판(11) 상에 에피택셜 Si 층을 100 ~ 2000 Å 두께로 성장시킨다.

<129> 그 다음, 상기 게이트전극 영역(300)의 에피택셜 Si 층에 채널 임플란트 공정 및 펀치스톱 임플란트 공정으로 불순물을 주입하여 채널(63)을 형성한다.

<130> 후속 공정으로, 상기 채널(63) 상에 게이트산화막(65)을 성장시키고, 그 상부에 게이트전극용 도전층(67)을 형성한 다음, 상기 층간절연막(55)을 식각장벽으로 평탄화식각하여 게이트전극을 형성한다.

<131> 여기서, 상기 도 3i 의 공정은 상기 게이트전극용 도전층(67)을 에치백하여 상기 층간절연막(55)보다 낮게 형성하고 그 상부에 하드마스크층이 구비되는 게이트전극을 형성할 수도 있다.

**【발명의 효과】**

<132> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 트랜지스터 및 그 형성방법은 다음과 같은 효과를 제공한다.

<133> 1. 접합 누설전류의 유발을 방지한다.

<134> 2. 접합 공핍 ( junction depletion )에 의한 캐패시턴스를 제거할 수 있어 소자의 고속화를 가능하게 한다.

<135> 3. 접합의 깊이 감소에 의한 SCE ( short channel effect ) / DIBL ( drain induced barrier lowering ) 개선으로 게이트전극의 CD 가 작아짐에 따른 문턱전압의 감소 정도를 줄일 수 있다.

<136> 4. 소오스/드레인 접합영역을 형성하는 에피택셜 Si 층으로 인하여 벌크 ( bulk ) 방향으로의 공핍이 억제되므로 편치 쓰루우 ( punch through ) 특성이 향상되며, 편치 스텝 임플란트의 도즈량을 낮출 수 있어 DRAM 의 리프레쉬 ( refresh ) 특성을 향상시킬 수 있다.

<137> 5. 편치쓰루 특성의 향상에 따라 채널 문턱전압조절용 임플란트의 도즈량이 감소하고 그에 따른 스윙 ( swing ) 현상이 양호해져 오프시 누설전류 ( off-leakage ) 특성을 기대할 수 있으며, 도즈량 감소에 따른 리프레쉬 특성을 향상시킬 수 있다.

<138> 6. 접합 브레이크다운 전압이 커져 고전압을 구동전압으로 사용할 수 있는 고속소자를 형성할 수 있다.

<139> 7. 소자와 소자 사이의 누설전류를 현저히 감소시켜 소자분리막의 깊이 및 폭을 감소시킬 수 있으며 그에 따른 고집적화를 가능하게 한다.

<140> 8. 단결정으로 채널과 소오스/드레인 접합영역을 형성하여 반도체기판, 채널 및 소오스/드레인 접합영역 간의 계면특성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체기판의 활성영역에 구비되는 절연막과,

상기 절연막 상에 단결정 도전층으로 구비되는 소오스/드레인 접합영역과,

상기 활성영역의 게이트전극 영역에 상기 절연막 및 소오스/스레인 접합영역의 적

층구조와 같은 높이로 구비되는 채널용 단결정 도전층과,

상기 채널용 단결정 도전층 상부에 구비되는 게이트절연막 및 게이트전극 적층구조  
가 구비되되, 상기 소오스/드레인 접합영역에 양측 끝부분이 중첩되는 것을 특징으로 하  
는 반도체소자의 트랜지스터.

**【청구항 2】**

제 1 항에 있어서,

상기 절연막은 산화막이나 질화막인 것을 특징으로 하는 반도체소자의 트랜지스터.

**【청구항 3】**

제 1 항에 있어서,

상기 절연막과 소오스/드레인 접합영역용 단결정 도전층은 각각 50 ~ 1000 Å 두  
께로 구비되는 것을 특징으로 하는 반도체소자의 트랜지스터.

**【청구항 4】**

제 1 항에 있어서,

상기 적층구조는 상기 소자분리막과 평탄화되어 구비되는 것을 특징으로 하는 반도  
체소자의 트랜지스터.

**【청구항 5】**

제 1 항에 있어서,

상기 소오스/드레인 접합영역용 단결정 도전층과 채널용 단결정 도전층은 에피택셜 Si 층으로 구비되는 것을 특징으로 하는 반도체소자의 트랜지스터.

**【청구항 6】**

제 1 항에 있어서,

상기 채널은 상기 적층구조와 같은 두께로 평탄화되어 구비되는 것을 특징으로 하는 반도체소자의 트랜지스터.

**【청구항 7】**

반도체기판 상에 제1단결정 도전층과 제2단결정 도전층의 적층구조를 형성하는 공정과,

상기 반도체기판에 활성영역을 정의하는 트렌치형 소자분리막을 형성하되, 상기 적층구조와 같은 높이로 형성하는 공정과,

상기 소자분리막을 마스크로 하여 제2단결정 도전층에 임플란트하고 전체표면상부에 열산화막과 희생막을 적층하는 공정과,

게이트전극마스크를 이용한 사진식각공정으로 상기 희생막, 열산화막, 제2,1 단결정 도전층을 식각하여 게이트전극 영역의 기판을 노출시키며 활성영역에 상기 제2단결정 도전층으로 소오스/드레인 접합영역을 형성하는 공정과,

상기 게이트전극 영역에 노출된 상기 제1단결정 도전층을 제거하여 상기 제2 단결정 도전층 하부로 홈을 형성하는 공정과,

상기 흙을 매립하는 절연막을 형성하는 공정과,

상기 게이트전극 영역의 기판 상에 제3 단결정 도전층을 성장시키고 상기 희생막 및 열산화막을 제거하는 공정과,

상기 제3 단결정 도전층에 임플란트하여 채널을 형성하는 공정과,

상기 채널 상부에 게이트전극을 패터닝하는 공정을 포함하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 제1 단결정 도전층은  $GeH_4$ ,  $SiH_4$  및  $SiH_2Cl_2$  중 하나 이상,  $HCl$  및  $H_2$  의 혼합가스 분위기에서 에피택셜 정장된  $50 \sim 1000 \text{ \AA}$  두께의 에피택셜  $SiGe$  층인 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 9】

제 7 항에 있어서,

상기 제2,3 단결정 도전층은 각각  $SiH_4$  및  $SiH_2Cl_2$  중 하나 이상,  $HCl$  및  $H_2$ 의 혼합가스 분위기에서 에피택셜 성장된 각각  $50 \sim 1000 \text{ \AA}$  과  $100 \sim 2000 \text{ \AA}$  두께의 에피택셜  $Si$  층인 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 10】

제 7 항에 있어서,

상기 임플란트 공정은 불순물을 As 로 사용하는 경우  $1.0E12 \sim 5.0E13 / \text{cm}^2$  불순물 농도로  $10 \sim 100 \text{ KeV}$  의 에너지를 이용하여 실시한 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 11】

제 7 항에 있어서,

상기 열산화막은  $10 \sim 200 \text{ \AA}$  두께로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 12】

제 7 항에 있어서,

상기 희생막은 산화막, 질화막 및 폴리실리콘 중에서 임의의 한가지를 이용하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 13】

제 7 항에 있어서,

상기 제1 단결정 도전층의 제거공정은  $\text{H}_2\text{O}$ ,  $\text{H}_2\text{O}_2$ ,  $\text{NH}_4\text{OH}$  이 혼합된  $70 \sim 80 \text{ }^\circ\text{C}$  의 용액을 이용한 습식방법으로 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 14】

제 7 항에 있어서,

상기 제1 단결정 도전층의 제거공정은 HBr, O<sub>2</sub> 및 Cl<sub>2</sub> 의 혼합가스를 이용한 플라즈마 식각공정으로 등방성 건식식각하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 15】

제 14 항에 있어서,

상기 플라즈마 식각공정은 마이크로웨이브 ( microwave method ) 를 이용하는 실시하는 하거나 SF<sub>6</sub> 를 첨가하여 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 16】

제 7 항에 있어서,

상기 절연막은 산화막이나 질화막으로 형성되는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 17】

제 16 항에 있어서,

상기 산화막은 SiH<sub>4</sub> 와 N<sub>2</sub>O 를 이용하여 50 Torr 이하의 압력과 50 ~ 800 °C 온도에서 CVD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 18】

제 16 항에 있어서,

상기 산화막은 700 ~ 1100 °C 온도에서 건식 또는 습식방법으로 열산화시켜 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

## 【청구항 19】

제 7 항에 있어서,

상기 절연막은 ALD ( atomic layer deposition ) 방법으로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

## 【청구항 20】

반도체기판 상에 제1 단결정 도전층과 제2 단결정 도전층의 적층구조를 형성하는 공정과,

소자분리마스크를 이용한 사진식각공정으로 활성영역을 정의하는 트렌치형 소자분리막을 형성하는 공정과,

상기 제2 단결정 도전층 상의 게이트전극 영역에 희생막을 패터닝하는 공정과,

상기 희생막을 마스크로 하여 상기 제2단결정 도전층에 임플란트하는 공정과,

상기 희생막 측벽에 절연막 스페이서를 형성하고 전체표면상부에 열산화막을 형성하는 공정과,

상기 희생막을 노출시키는 평탄화된 층간절연막을 형성하는 공정과,

상기 층간절연막 및 절연막 스페이서를 마스크로 하여 상기 희생막, 제2 단결정 도전층 및 제1 단결정 도전층을 식각하는 공정과,

상기 게이트전극 영역에 노출된 제1 단결정 도전층을 제거하여 상기 제2 단결정 도전층 하부로 홈을 형성하는 공정과,

상기 홈을 매립하는 절연막을 형성하는 공정과,

상기 게이트전극 영역의 제3 단결정 도전층을 성장시키고 임플란트하여 채널을 형성하는 공정과,

상기 채널 상에 게이트산화막 및 게이트전극을 형성하는 공정을 포함하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 21】

제 20 항에 있어서,

상기 제1 단결정 도전층은  $\text{GeH}_4$ ,  $\text{SiH}_4$  및  $\text{SiH}_2\text{Cl}_2$  중 하나 이상,  $\text{HCl}$  및  $\text{H}_2$ 의 혼합가스 분위기에서 에피택셜 성장된  $50 \sim 1000 \text{ \AA}$  두께의 에피택셜  $\text{SiGe}$  층인 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 22】

제 20 항에 있어서,

상기 제2,3 단결정 도전층은 각각  $\text{SiH}_4$  및  $\text{SiH}_2\text{Cl}_2$  중 하나 이상,  $\text{HCl}$  및  $\text{H}_2$ 의 혼합가스 분위기에서 에피택셜 성장된 각각  $50 \sim 1000 \text{ \AA}$  과  $100 \sim 2000 \text{ \AA}$  두께의 에피택셜  $\text{Si}$  층인 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

#### 【청구항 23】

제 20 항에 있어서,

상기 임플란트 공정은 불순물을  $\text{As}$ 로 사용하는 경우  $1.0\text{E}12 \sim 5.0\text{E}13 / \text{cm}^2$  불순물 농도로  $10 \sim 100 \text{ KeV}$ 의 에너지를 이용하여 실시한 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

**【청구항 24】**

제 20 항에 있어서,

상기 희생막은 500 ~ 3000 Å 높이의 폴리실리콘으로 형성하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

**【청구항 25】**

제 20 항에 있어서,

상기 제1 단결정 도전층의 제거 공정은 습식방법이나 등방성 건식 방법으로 실시하는 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

**【청구항 26】**

제 20 항에 있어서,

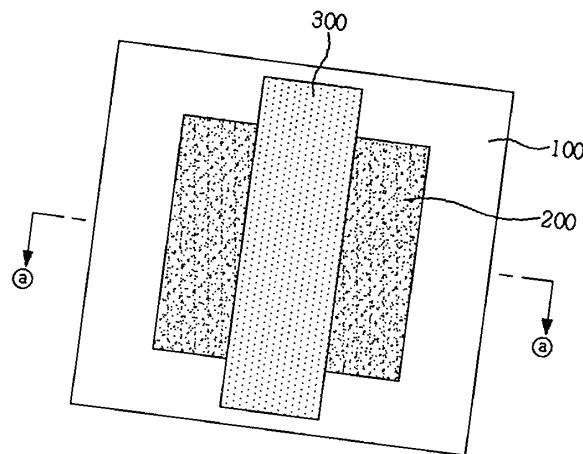
상기 절연막은 열산화방법, CVD 또는 ALD 중에서 선택된 한가지로 형성된 산화막이나 질화막인 것을 특징으로 하는 반도체소자의 트랜지스터 형성방법.

1020020077492

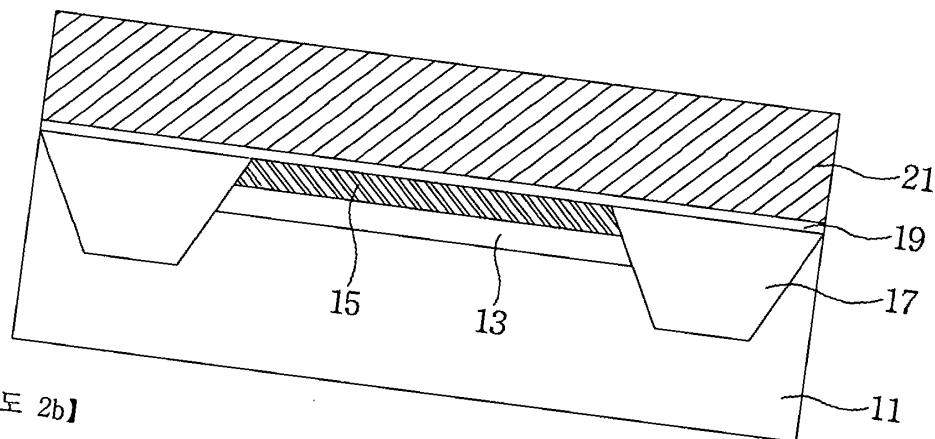
출력 일자: 2003/5/23

【도 1】

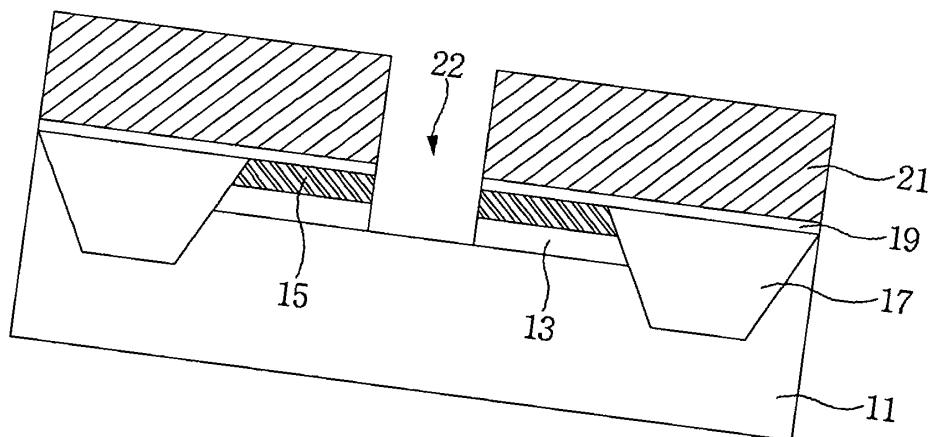
【도면】



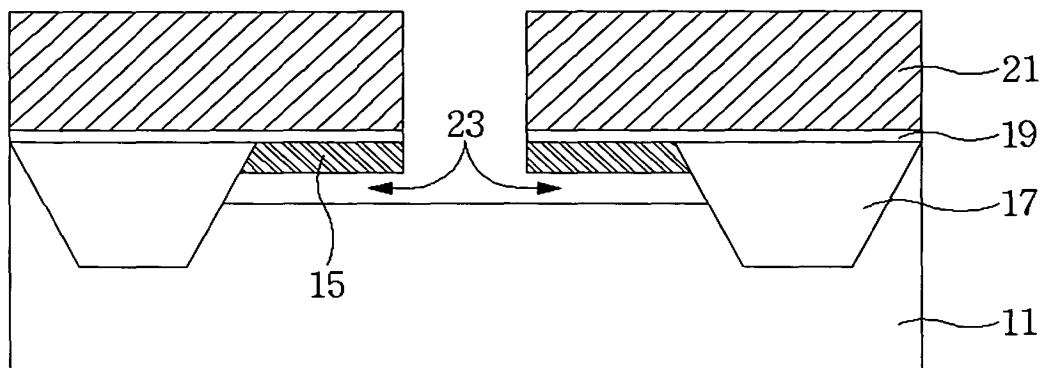
【도 2a】



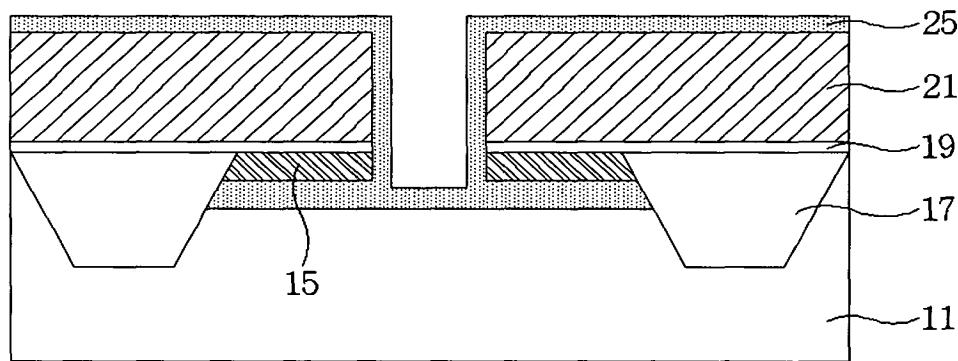
【도 2b】



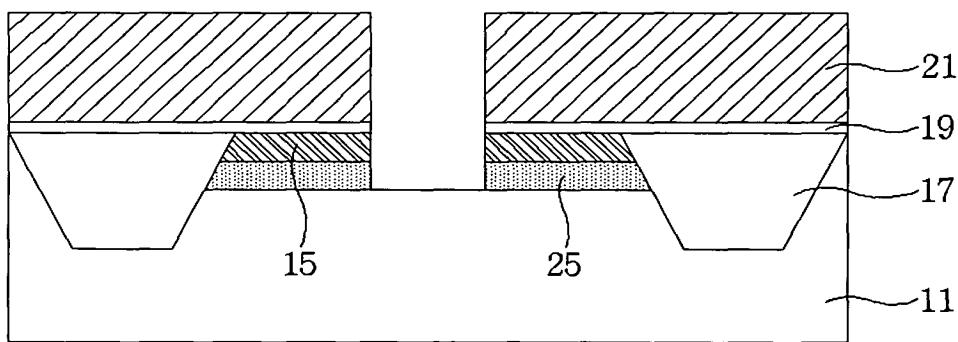
【도 2c】



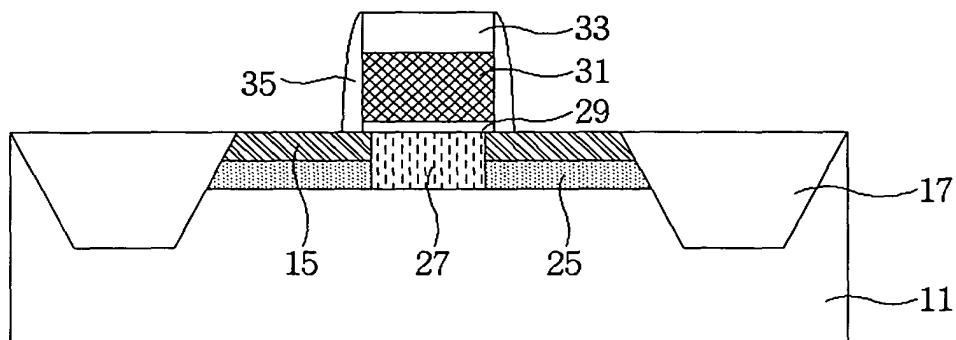
【도 2d】



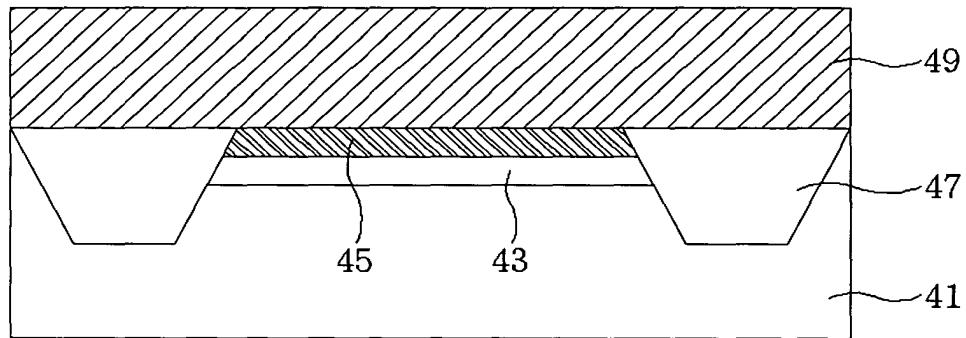
【도 2e】



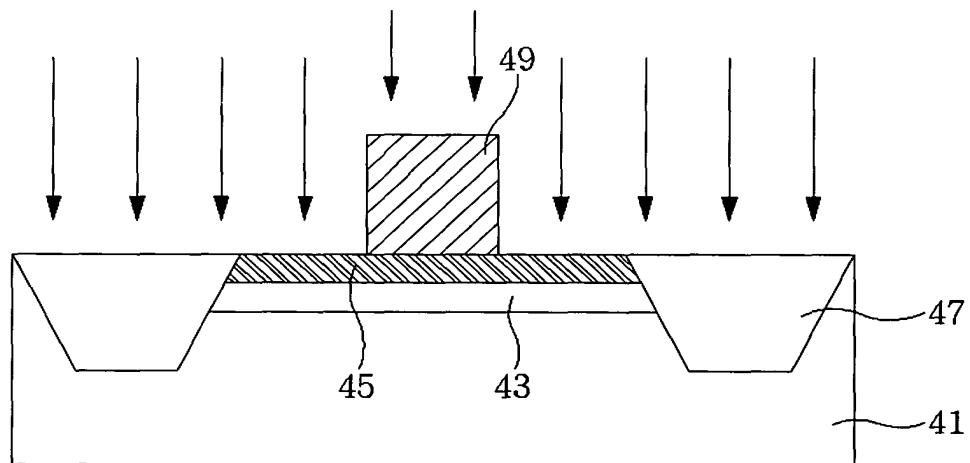
【도 2f】



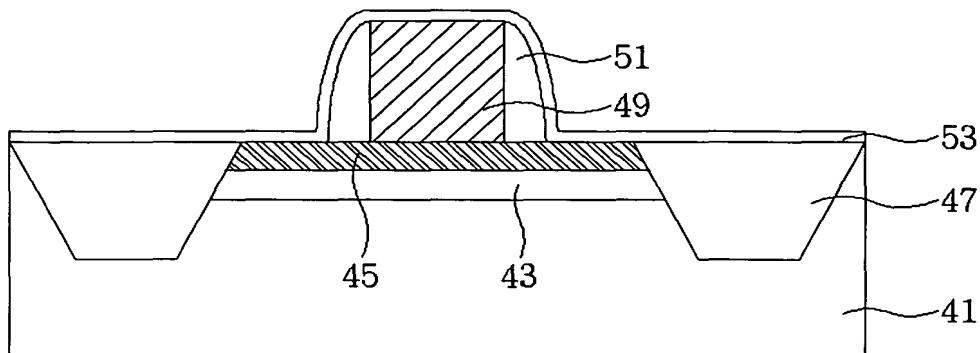
【도 3a】



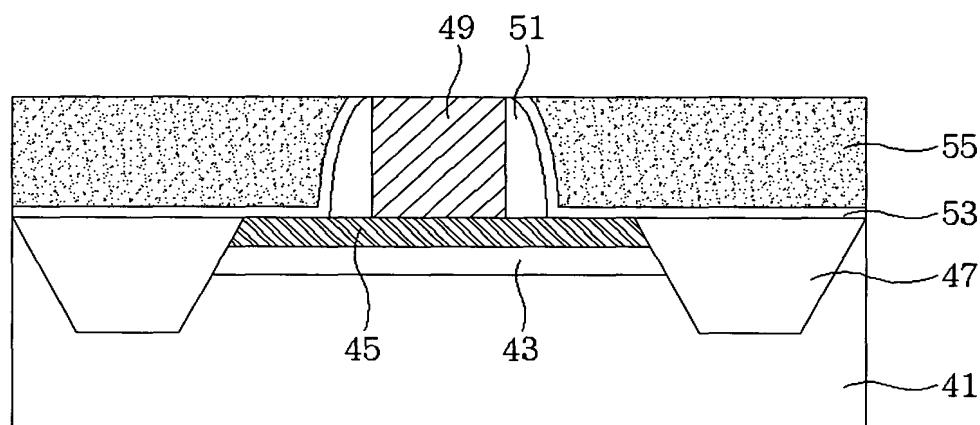
【도 3b】



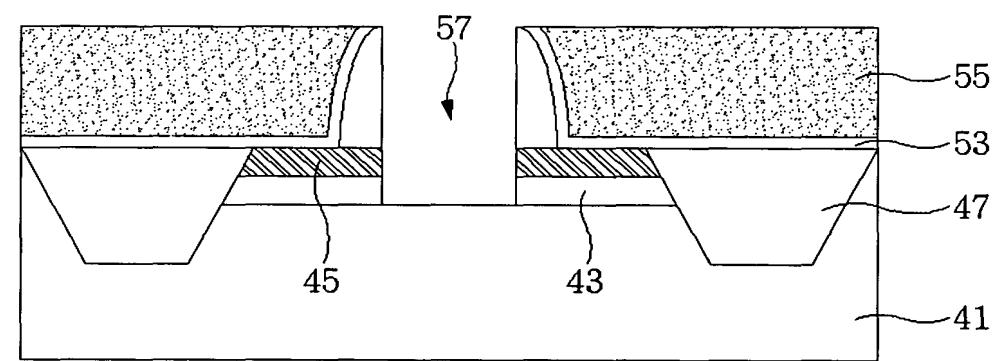
【도 3c】



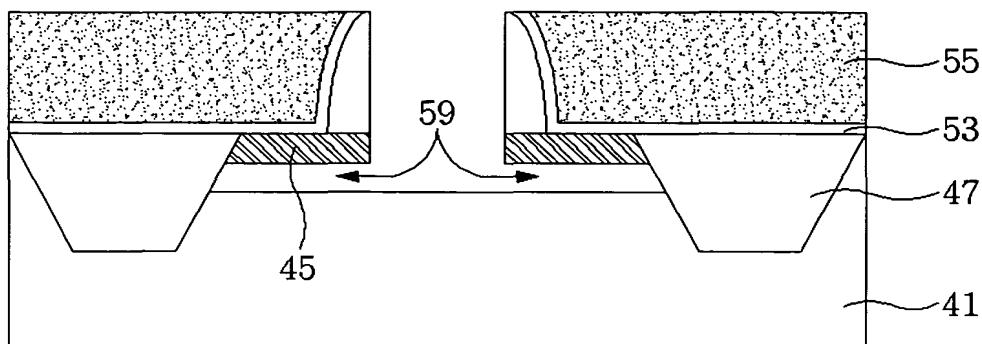
【도 3d】



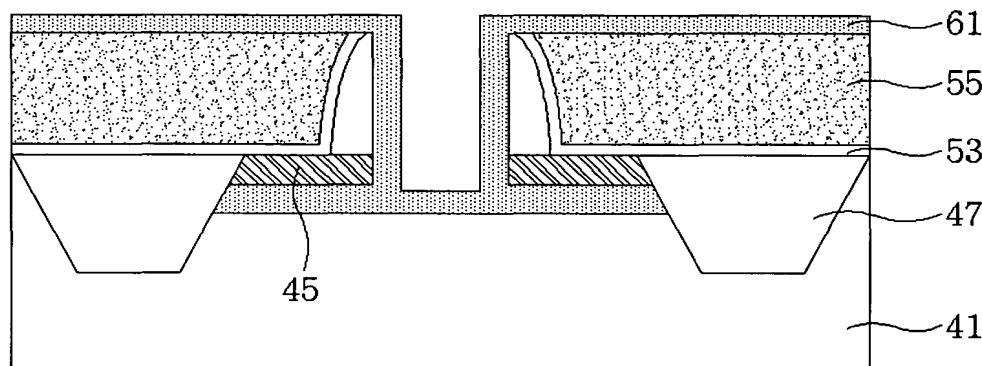
【도 3e】



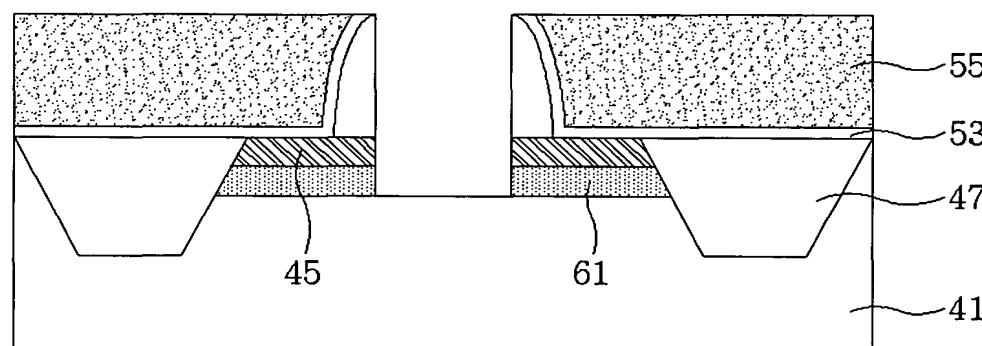
【도 3f】



【도 3g】



【도 3h】



1020020077492

출력 일자: 2003/5/23

【도 3i】

